

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-335510

(43)Date of publication of application : 22.12.1995

(51)Int.Cl.

H01L 21/02

H01L 21/66

(21)Application number : 06-127639

(71)Applicant : HITACHI LTD

(22)Date of filing : 09.06.1994

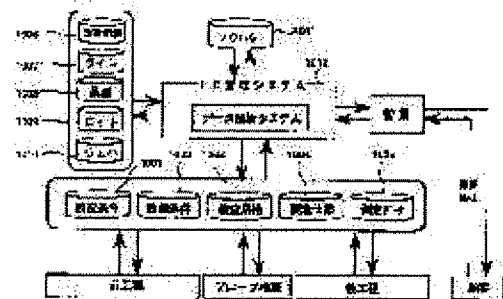
(72)Inventor : SAKATA MASAO  
ISHIHARA KAZUKO  
SHIMOSHA SADA0

## (54) SEMICONDUCTOR DEVICE, SUPPLY OF ITS IDENTIFIER AND DEFECT ANALYSIS

(57)Abstract:

PURPOSE: To shorten the time period for generation of a defect in a wafer process and an assembling process and for location of the defect, by tracing manufacture hysteresis of a semiconductor device in response to identifiers supplied to a chip and a package, respectively.

CONSTITUTION: A chip identifier (ID) is supplied to a chip in a wafer process, and a package ID is supplied to a package in an assembling process. An ID control analysis system is constituted by manufacturing condition data base (DB) 1001, facility condition DB 1002, inspection standard value DB 1003, manufacturing specifications DB 1004, measurement data DB 1005, design information DB 1006, manufacturing line DB 1007, variety DB 1008, lot NO DB 1009, wafer NO DB 1010, know-how DB 1011 for storing analysis results, and ID control system 1012. When a defect is generated, relevant DB is sequentially retrieved using the chip ID or the package ID as a key, and the defect is located early from retrieved information, such as, manufacturing hysteresis.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-335510

(43) 公開日 平成7年(1995)12月22日

(51) Int. Cl. <sup>4</sup>	識別記号	片内整理番号	P I	技術表示箇所
H 0 1 L 21/02	A			
21/06	A	7514-4M		

審査請求 未請求 請求項の数17 O L (全 12 頁)

(21) 出願番号 特願平6-127639

(22) 出願日 平成6年(1994)6月9日

(71) 出願人 000005108

株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(72) 発明者 坂田 正雄

神奈川県横浜市戸塚区吉田町282番地 株  
式会社日立製作所生産技術研究所内

(72) 発明者 石原 和子

神奈川県横浜市戸塚区吉田町282番地 株  
式会社日立製作所生産技術研究所内

(72) 発明者 下社 貞夫

神奈川県横浜市戸塚区吉田町282番地 株  
式会社日立製作所生産技術研究所内

(74) 代理人 非理士 武 彌次郎

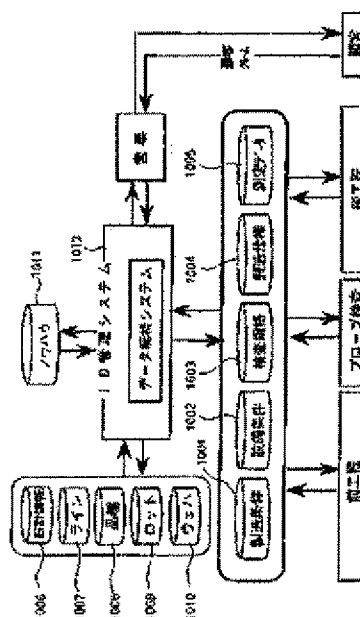
(54) 【発明の名称】 半導体装置およびその識別子付与方法およびその不良解析方法

(57) 【要約】

【目的】 ウェハとチップとパッケージとにそれぞれ I D を持たせ、不良原因の究明などを、短期間で効率よく行えるようにすること。

【構成】 I D 管理解析システムに各種のデータベース 1001~1011 を具備させ、必要に応じて適宜 I D 情報をキーにして各種データを引き出し、原因究明をしたのち、各工程に結果をフィードバックする。

図 10



(2)

特開平7-335510

1

2

【特許請求の範囲】

【請求項1】 少なくとも半導体装置の製造順を示す情報を含む識別子を、半導体装置自身に付与したことを特徴とした半導体装置。

【請求項2】 請求項1記載において、

前記識別子には、製造カレンダー情報、製造ライン名情報が含まれることを特徴とした半導体装置。

【請求項3】 請求項1記載において、

前記識別子には、半導体装置の製造プロセス中の半導体装置の製造位置の情報が含まれることを特徴とした半導体装置。

【請求項4】 請求項1記載において、

前記識別子を、製造工程中の写真蝕刻法を用いて、半導体装置のチップ上に付与したことを特徴とした半導体装置。

【請求項5】 請求項1記載において、

前記識別子を、製造工程中の写真蝕刻法を用いて、半導体装置の製造工程途中の最終保護膜形成後の該保護膜上に付与したことを特徴とした半導体装置。

【請求項6】 請求項1記載において、

半導体装置の製造プロセス中の識別子と、半導体装置の組立工程の識別子とを、半導体装置の組立後の封止材（パッケージ）上に付与したことを特徴とした半導体装置。

【請求項7】 請求項1記載において、

前記識別子は、半導体装置内部の記憶領域に識別子情報として記憶させ、この識別子情報は、半導体装置の動作状態に関与しない特殊な命令により読み出せるようにしたことを特徴とした半導体装置。

【請求項8】 半導体装置にその製造情報を示す識別子を付与する識別子付与方法であって、

半導体装置の製造工程途中の最終保護膜形成後の保護膜上に、写真蝕刻法で前記識別子を形成し、この識別子は半導体装置単位に異なるように形成することを特徴とした半導体装置の識別子付与方法。

【請求項9】 請求項8記載において、

露光装置のマスク、に液晶のマスクパターン形成装置を用いることを特徴とした半導体装置の識別子付与方法。

【請求項10】 半導体装置にその製造情報を示す識別子を付与する識別子付与方法であって、

半導体装置の電気的特性の検査後、該検査結果を踏まえて当該半導体装置の組立前に、当該半導体装置に光もしくは電子エネルギーを制御して前記識別子を付与することを特徴とした半導体装置の識別子付与方法。

【請求項11】 半導体装置にその製造情報を示す識別子を付与する識別子付与方法であって、

半導体装置の組立後の出荷前最終電気特性検査時に、この検査と同時に当該半導体装置の識別子を、当該半導体装置内の識別子専用記憶領域に電気的に書き込むことを特徴とした半導体装置の識別子付与方法。

【請求項12】 請求項11記載において、

前記識別子の情報は、読み出し専用ピンまたは読み出し専用命令によって読み出し、読み出したデータは表示装置に表示可能とされたことを特徴とした半導体装置の識別子付与方法。

【請求項13】 その製造情報を示す識別子が付与された半導体装置の不良解析方法であって、

不良を発生した半導体装置の識別子から、組立製造ライン、組立条件、組立時期、ウェハプロセス製造ライン、製造時期、製造工程順、製造装置、製造ウェハ、製造ウェハ位置の情報を順次検索できるようにし、不良の原因となった工程、製造装置、製造条件を特定できるようにしたことを特徴とする半導体装置の不良解析方法。

【請求項14】 その製造情報を示す識別子が付与された半導体装置の不良解析方法であって、

不良を発生した半導体装置の識別子から、組立製造ライン、組立条件、組立時期、ウェハプロセス製造ライン、製造時期、製造ロット、製造ウェハ、製造ウェハ位置の情報を順次検索できるようにし、この検索情報から、不良となった製品の製造履歴である処理工程、製造装置、製造条件、製造結果、検査結果を順次検索できるようにしたことを特徴とする半導体装置の不良解析方法。

【請求項15】 その製造情報を示す識別子が付与された半導体装置の不良解析方法であって、

不良を発生した半導体装置の識別子から、組立製造ライン、組立条件、組立時期、ウェハプロセス製造ライン、製造時期、製造ロット、製造ウェハ、製造ウェハ位置の情報を順次検索できるようにし、この検索情報から、同一製造ロットの販売先を検索・特定して、不良発生状況を販売先に知らせることを可能としたことを特徴とする半導体装置の不良解析方法。

【請求項16】 その製造情報を示す識別子が付与された半導体装置の不良解析方法であって、

製造途中の工程での検査において不良となった製品の識別子から、該検査工程の前に製造した工程の処理工程、製造装置、製造条件、製造結果、検査結果を検索できるようにすると共に、前記不良製品が処理された時と略同時に処理した別製品の製造装置、製造条件、製造結果、検査結果を合わせて検索できる手段を設け、前記不良製品による検査結果と前記別製品による検査結果とを比較し、同一条件で結果の異なるものを抽出するようにしたことを特徴とする半導体装置の不良解析方法。

【請求項17】 請求項16記載において、

前記別製品となる検索対象は、前記不良製品と同一工程順で製造した製品群とされることを特徴とする半導体装置の不良解析方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置およびその識別子付与方法およびその不良解析方法に係り、特に、そ

(3)

特開平7-335510

3

の製造情報を識別子として付与した半導体装置、および上記識別子の半導体装置への付与方法、および上記識別子を用いた半導体装置の不良解析方法に関する。

【0002】

【従来の技術】半導体装置の製造は、通常ウェハプロセスと呼ばれる製造過程と、組立と呼ばれる製造過程とに分けられる。ウェハプロセスとは、ウェハと呼ばれるシリコンの微細円形の円板の加工であり、ウェハは現在、例えば直径8インチ（約200mm）サイズが用いられ、1枚の円板上に100～300個の半導体装置を同時に製作する方式で生産されている。ウェハプロセスを終了したウェハは、半導体装置（チップ）に切断され、組立工程においては、電気的接触用の導体およびチップを樹脂やセラミックで封止するようにされる。

【0003】ところで、上記のような手法で製作される半導体装置に、製造履歴情報を付与しておくことが品質管理や生産管理等々に大いに役立つことが期待できる。このように半導体装置に製造履歴情報を付与するようにした従来技術としては、特開平5-74748号公報（名称：「履歴情報記録方式、及び半導体集積回路」）が挙げられる。この先願公報に開示された技術においては、ウェハプロセスで大量に生産されるチップ個々に、レーザ光で履歴情報を刻印し、これによってウェハ上での半導体チップの位置、ウェハ番号、ロット番号を記録するようにしている。

【0004】

【発明が解決しようとする課題】しかしながら、上記した先願公報による従来技術では、チップ上の履歴情報の活用が十分に行えない。すなわち、上記従来技術による履歴の付与方式では、ウェハ上での半導体チップの位置、ウェハ番号、ロット番号を、情報としてチップに付与しているが、半導体チップの状態での履歴情報を記録しているため、組立工程でパッケージ化された場合には、記録部分が判読できないという不都合が招来した。また、先願公報による従来技術では、付与される履歴情報の種類が少なく、不良解析等に際し情報量が不足していた。さらに、半導体装置の製造過程では、別ロット間のウェハを合わせてロットを作る場合もあるが、上記した先願公報による従来技術では、この点についても考慮されていなかった。

【0005】本発明の目的は、半導体装置のチップ状態でチップに識別子を付与し、さらに同様に、組立工程でパッケージ化された際にも封止材（パッケージ）に識別子を付与し、以って、識別子をどの状態でも確実に読み取れると共に、不良原因を追求する際に確実な情報となり得る識別子を付与した半導体装置、および、不良が発生した場合に、付与した識別子を用いて迅速・詳細に不良解析を行うことのできる不良解析方法を提供することにある。

【0006】

4

【課題を解決するための手段】本発明では、半導体装置に付与した識別子に応じて半導体装置の製造履歴をトレースできるようにすることで、半導体特有の製造方式（ウェハプロセス、切断、組立）での不良発生とその原因究明の期間を短縮し、これにより、歩留りの早期向上を図り、あるいは、顧客からの不良報告に対して早期に原因対策の処置を行うことを可能とする。以下、本発明の概要を簡単に説明する。

【0007】ウェハプロセスでは、識別子（ID）は、ウェハプロセスで多用される写真蝕刻法（ホトエッチング）を用いて、チップ上にチップIDとして付与される。このチップIDには、ロット番号やウェハ番号と関係付けて、前工程ライン名や前工程カレンダー（日付）情報等も記録しておく。

【0008】組立工程では、上記したチップIDを含んだパッケージIDが、組立後の封止材（パッケージ）上に印刷等で付与。もしくは、半導体装置内の専用記録領域に電気的に書き込まれる。このパッケージIDには、ウェハプロセスでの識別子（チップID情報）や、製品に組み立てるまでの製造工程を処理する単位、組立工程ロット番号や、製品の出荷単位、出荷先等の情報も合わせて記憶する。

【0009】また、上述したチップIDもしくはパッケージIDを用いることによって、製造時の投入から出荷までの変遷を管理するシステムに記憶しているデータ（各製造工程での製造装置、製造条件、検査結果等や、製造したロットの変遷、製造したロットの品質データ等々）を適宜検索する構成とする。

【0010】

【作用】上記した手段によれば、半導体装置の製造履歴を、各製造工程の管理単位と管理単位よりも詳細に管理する部分とで掌握でき、また、製造条件データ等はシステム上にあるデータを用いて知ることができる。

【0011】すなわち、不良発生時には識別子から、不良発生時の製品形態（ロット、ウェハ、チップ、製品）での検査情報や製造履歴を情報として特定できる。ここで、半導体の場合には、不良の原因が前の別形態で製造された時に作り込まれている場合が多く、本発明における識別子には前の別形態での製造履歴情報が含まれているので、前の別形態の時の製造状態を特定でき、これにより早期に原因を解析でき、対策を立案できる。また、最小の単位の管理もできるので、製造工程の管理単位での解析よりも、より詳細に解析することが可能となる。

【0012】

【実施例】以下、本発明の詳細を図示した実施例によって説明する。

【0013】まず、図1を用いて本発明の実施例で用いられる製品のID（識別子）について説明する。製品IDは、製品の製造履歴等の情報をコード化したものであ

(4)

特開平7-335510

5

る。このコードをもとにして、生産管理、進捗度管理、品質管理等が行われるようになっている。

【0014】上記製品IDの付け方について説明する。本発明の実施例では、製品IDは、ウェハID101と、チップID102と、パッケージのID103（以下、これをマーク103と称す）とからなっている。

【0015】ウェハID101は、品種名、前工程ロットNO、ウェハNO、前工程ライン名より構成する。チップID102は、品種名、前工程ロットNO、ウェハNO、チップNO（ウェハ内チップ座標）、前工程ライン名より構成する。マーク103は、品種名、前工程ロットNO、ウェハNO、チップNO、前工程ライン名、組立ライン名、組立ロットNO、選別ライン名、選別ロットNO、出荷日（週）、出荷日（曜日）より構成する。これらのコード形態は、図1に示した通りである。

【0016】品種名は、アルファベット2文字で表され、各桁はアルファベットの大文字A～小文字zによって表現する。前工程ロットNOは、アルファベット3文字で表され、初めの1文字は前工程にウェハを投入した月を示し、アルファベットのA～Jで表現する。また残りの2文字は、各桁アルファベットA～zで表現する。ウェハNOは、アルファベット1文字（A～2）で表される。前工程ライン名は、ウェハ製造を行っている工場の生産ラインの名前であり、アルファベット1文字（A～2）で表される。

【0017】チップNOは、図2に示すように、ウェハ200のオリフラを下にして、X軸（横軸）、Y軸（縦軸）を取り、例えば、原点からX軸方向に4チップ目、Y軸方向に3チップ目のチップは、（C、D）というように、アルファベット2文字（A～z）で表現する。

【0018】また、組立ライン名は、上記した前工程ライン名と同様のルールで表現する。組立ロットNOは、アルファベット3文字で表し、初めの1文字は組立工程にチップを投入した月を示し、A～Jで表現する。また残りの2文字は、各桁アルファベットA～zで表現する。選別ライン名は、チップをアクセス速度と消費電力を基にグレード分けする工程のライン名で、アルファベット1文字で表す。選別ロットNOは、アルファベット3文字で表され、初めの1文字は選別工程にチップを投入した月を示し、A～Jで表現する。また残りの2文字は、各桁アルファベットA～zで表現する。出荷日（週）は、アルファベット1文字（A～2）で表現し、1年を週で表す。例えば、1993年2月20日は、その年の第8週なので、Hで表す。また、出荷日（曜日）は、数字1文字（1～7）で表現する。例えば水曜日ならば、3と表現する。

【0019】以上のルールで、各ID101～103の詳細を表現する。各項目の並べ方は、図1の「コードの意味の欄」に示す。また各項目は、単にアルファベット等で表現してあるだけで、その詳細は、各項目毎に対応

6

表があり、その内容は、データベースに登録されている。例えば、品種名の場合は、図3に示すような対応表になる。

【0020】次に、IDの付与方式として、レーザや電子ビーム等を用いてウェハやチップの表面に刻印する方法、パッケージの表面に印刷する方法、および、チップ（もしくは製品）内に専用記憶領域を持たせ、その領域内にID等の必要な情報を電気的に書き込む方法について説明する。

【0021】レーザマーキングの場合、例えば、炭酸ガスやYAGレーザ（イットリウムアルミニウムガーネットレーザ）等を用いて行くと効果的である。また、レーザ等によるIDの刻印は、図4に示すように、文字マスクを用いて行なうか（図示の例では、レーザビーム401を、ガラスマスク402およびイメージレンズ403を介してチップ400に照射している）、あるいは、図示していないが、マスクを用いずスキャンしながら刻印する。マスクを用いる方法は、量産製品に適しており、スキャンして刻印する方法は、多品種少量製品に対して有効である。なお、製造工程中に、製造工程中の写真蝕刻法を用いてIDを刻印する際に、露光装置のマスクに液晶のマスク形成装置を用いれば、チップ個々に異なるIDの記号の形成が容易に行える。

【0022】また、電気的にID情報を記憶させる場合、半導体ウェハの周辺部（チップが刻まれていない部分）や各チップにEEPROM（Electric Erasable Read Only Memory）等の専用メモリを設け、そこに情報を記憶させる。この方法は、専用メモリに情報を記憶させるので、ID以外にも必要な情報を保持することができる。例えば、各チップの電気的特性の検査後、この検査結果情報等を含めてID情報とともにチップの識別子専用記憶領域に情報を書き込むことも可能である。あるいは、パッケージ化した製品の出荷前最終電気特性検査時に、この検査と同時に、製品の識別子専用記憶領域へ、ID情報とともに最終電気特性検査情報等を書き込むことも可能である。

【0023】なお、電気的にID情報を記憶させた場合には、書き込んだID情報は、読み出し専用ピン、または、読み出し専用命令（半導体装置の動作状態に関与しない特殊な命令）によって、読み出されるようにされる。

【0024】次に、各IDの刻印位置と刻印するタイミングについて説明する。

【0025】前記ウェハID101の場合、図5の（a）に示すように、ウェハ200の表面のパターンが刻まれている部位の周辺部分（ウェハ表面周辺のパターンを形成していない領域）501、または、図5の（b）に示すように、ウェハ200の側面部分502にID101を刻む（印す）。IDを刻む時期は、前工程ラインにロットを投入し、ウェハにおける第一処理を行

(5)

特開平7-335510

7

う直前のタイミングとすることが望ましい。この時期にウェハID101を入れることで、以後ウェハとして処理された時の情報を枚葉で管理することができる。

【0026】また、前記チップID102の場合、図6の(a)に示すように、チップ400の裏面(成膜等の処理がされていない側の面)601、あるいは、図6の(b)に示すように、チップ400の側面602、あるいは、図6の(c)に示すように、チップ400の表面における周辺回路が作りこまれている部分の外側部分

(チップ表面の回路を形成していない領域)503に、チップID102を刻む(印す)。チップID102を刻む時期としては、プローブ検査の直前のタイミングとすることが望ましい。こうする所以は、プローブ検査は、ウェハ内の全チップに対して電気的に特性を測定するので、これ以後は、チップ単位の管理が必要になるからである。

【0027】例えばチップID102は、最終パッシベーションの際、液晶マスク等を用いて、各チップ400にID102を刻印する。この場合には、図7に示すように、保護膜701をつけた後にチップID102を入れるので、ボンディングパッド702以外の領域ならば、保護膜701の下に回路パターンが存在していても、製品特性に何の影響も受けない。したがって、最終パッシベーションの際にチップID102を印すようになすと、図6の(c)以外のチップ600の表面領域でもチップID102の刻印が可能となり、これによりチップID102の文字を大きく書き入れることができるので、ID認識を容易に行えるようになる。

【0028】また前記マーク103は、図8に示すように、製品800のパッケージ(封止材)801の表面に印刷によって付与する。このマーク103の印刷の時期は、各製品800のアクセス速度や消費電力(パワー)によって製品800を選別した後の、適宜時点とする。印刷は公知の適宜手法が採用可能である。なお、マーク103の付与は、印刷以外にも、場合によってはレーザービーム等を用いたID付与手法も採用可能である。

【0029】このマーク103には、前記したように組立ロットNO、選別ライン名、選別ロットNOが含まれているので、異なるロット間のウェハにまたがって新たにロットを作っても容易に対処可能であり、しかもこの際、同一の選別ロットNO等の製品であっても、前工程の情報が併せてマーク103に含まれているため、不良解析等に際し縮減・充分な情報を持つものとなっている。

【0030】また、ID情報を電気的に記憶させる場合、専用の記憶領域に書き込むが、このときパッケージ後のマーク情報を入力可能にするため、パッケージ化された製品のテストのテストプログラムに専用ピンを用いて、ID情報(マーク情報)を書き込むするプログラムを追加すれば、ID情報(マーク情報)の書き込みとテ

8

ストとが同時に行える。また、書き込んだ情報を読み出す場合、図9に示すように、ID情報の書き込み専用ピン901と読み出し専用ピン902とを1本ずつ設ける。そして、電気的に書き込んだID情報(マーク情報)の内容を参照する場合、この読み出し専用ピン902より情報を読み出し、内容を表示装置904に出力する。このときの出力は、専用のプローブ903等を用いて読み出し、表示装置904に出力する。なお、各チップの識別子専用記憶領域に前記チップID情報を書き込むことも、勿論可能である。

【0031】次に、本発明の実施例で用いられる前記した製品IDの管理解析システムの構成について説明する。図10は本発明の実施例に係る製品IDの管理解析システムの構成図である。

【0032】図10に示した本システムは、製造条件データベース(以下、DBと略す)1001と、設備条件DB1002と、検査規格値のDB1003と、製造仕様書の情報が入ったDB1004と、各工程で測定したデータが蓄積されているDB1005と、設計情報DB1006と、各製造ラインの記号と実際のライン名の対応をとるための情報が入ったDB1007と、各品種名と品種名を表す記号の対応をとるための情報が入ったDB1008と、各ロットを示す記号と実際のロットNOの対応をとるための情報が入ったDB1009と、各ウェハを示す記号と実際のウェハNOの対応をとるための情報が入ったDB1010と、解析した結果を蓄積しておくノウハウDB1011と、各情報とIDを対応付けかつ各種の解析を行うID管理システム1012とからなる。各種情報は、図10に示すように、おたがいのやり取りが可能である。

【0033】本発明では、前記のIDを用いることにより、以下の作業が可能となる。

【0034】まず、プローブ検査の結果より、不良発生工程および不良原因の究明を行う方法について説明する。

【0035】プローブ検査における歩留りが急激に低下するなど異常が発生した場合、まず異常が発生したウェハのプローブ検査で、どのような不良が発生しているかを確認する。

【0036】プローブ検査の場合、図11に示すような、メモリチップ内のメモリセル1つ1つの動作を確認した結果を示すフェイルビットマップ1100と、図12に示すような、チップの電気特性を調べた結果を示すカテゴリマップ1200とが、検査結果データとされる。そして、この両マップを用いて、不良内容や不良発生位置を確認し、不良原因の推定を行う。

【0037】例えば、フェイルビットマップ1100によって、異物や外觀起因の不良と推定した場合、作業者は前記図10のシステムにおいて、前記ウェハIDをキーにして、どの工程でそれぞれの検査が行われたか、異

50

(6)

特開平7-335610

9

10

物検査データ、外観検査データそれぞれのDB（データベース）を検索し、所望のデータをシステムの表示装置上に呼び出す。

【0038】すると、図13に示すような、検査工程の一覧表1300が表示装置上に表示される。同図において、横軸は工程名1301、縦軸は検査名1302である。一覧表1300の中で○印1303が付いている工程は、その検査名順の検査を行ったことを意味している。例えば、異物検査は、「A工程」1304、「C工程」1305、・・・で行われている。

【0039】そして、作業者がマウス等で○印の付いている欄をビックし、画面上で「グラフ」1306、「マップ」1307、「データ」1308の何れかのボタンを選択すれば、所望のデータが表示される。

【0040】例えば、異物の「A工程」の欄1304をビックし、「マップ」1307と表示されたボタンを選択すると、図14に示すような、異物マップ1400が表示される。この異物マップ1400により、作業者は異物の発生状況を確認することができる。

【0041】また、異物がどの行程で発生したかを統計的に解析する場合には、図13の一覧表1300で異物検査を行った全ての工程を選択し、「グラフ」1306のボタンをビックすると、図15に示すような、異物の発生履歴グラフ1500が表示される。この異物の発生履歴グラフ1500より、何処の工程でどのような異物がどのくらい発生したかを、即時に把握できる。そしてこの後、発生した異物の位置を確認する場合には、図14の異物マップ1400を用いて解析すればよいことになる。

【0042】また、図13の一覧表1300で、異なる検査のデータを複数選択して、マップ表示させることにより、異なるデータの発生位置の比較を容易に行えるようになっている。

【0043】例えば、異物検査の「A工程」の欄1304と外観検査の「B工程」の欄1309とを選択し、「マップ」1306のボタンをビックすると、図16に示すような、異物検査データと外観検査データとを同一ウェア上に併せて表示させたマップ1600が出力される。このとき、マップ1600中の例えばチップ領域1601のように、異物と外観（外観不良）のデータが重なって表示されている場合には、その位置の外観不良は、「A工程」以前の工程で、同位置に異物が付着したために発生したと、容易に不良原因の特定および不良発生工程の絞り込みが可能となる。

【0044】次に、組立工程で異常が発生した場合の、原因究明方法について説明する。

【0045】例えば、エージング工程、つまり熱劣化試験を行う工程で、不良が発生した場合、その不良の大半は、前工程に原因があると考えられている。ウェアをダイシングして作られたチップの原因究明方法としては、以

下の方法がある。

【0046】まず、作業者は前記図10のシステムにおいて、チップIDをキーとして、DB（データベース）を検索し、当該チップが含まれているウェアの製造履歴情報を、一覧表としてシステムの表示装置上に呼び出す。そして、表示された一覧表を基に、作業者は、エージング工程で良品となったチップの製造履歴と不良となったチップの製造履歴とを比較し、相違点を抽出し、原因究明を行うようにされる。

【0047】また、上記で行った解析結果はノウハウとして、前記ノウハウDB1011に蓄積される。以後はこのノウハウを用いて、前工程の時点で組立工程のエージング不良率の予測が可能となる。従って、後工程の投入量の制御が可能となるので、余剰品の削減および効率的な生産が行える。

【0048】また、選別工程では、アクセス速度や消費電力によってチップのグレード分けを行っている。顧客の注文するグレードの製品を効率良く生産するための方法としては、以下の方法がある。

【0049】まず、前記図10のシステムにおいて、前記チップIDをキーとして、高グレード品と低グレード品の製造履歴情報をDBより呼び出し、一覧表としてシステムの表示装置上に表示させる。そして、この表示された一覧表をもとに、相違点の抽出および解析を行い、原因となる項目の適正化を図るようにされる。

【0050】斯様に、システムの表示装置上には製造履歴情報として、製造条件、設備条件、測定結果といったような、同じ表に条件とその条件に従って製造した結果とが併せて表示されるので、試作時期や量産立ち上げ時期において、ある条件を設定して製造した場合、その結果を即時に確認できるので、各条件の値を決定する期間（時間）を大幅に短縮することが可能となる。

【0051】また、製造途中で不良が発生した場合、例えば、後工程で発生した不良で、その不良を引き起こした原因が前工程にあった場合には、製造履歴の一覧表を確認することで、即時に不良原因を抽出できるので、解析時間の大幅な短縮が図れることになる。

【0052】次に、顧客に渡った製品に不良が発生した場合など、顧客クレームを対処する方法について説明する。

【0053】まず、顧客より不良となった製品およびクレーム内容を回収し、製品のパッケージ上に記載された前記マークを手がかりに、前記図10のシステムにおいて、当該チップの後工程製造履歴情報を、DBから検索して呼び出し、表示装置上に一覧表として表示させる。そして、呼び出した後工程の製造履歴情報より、不良原因と思われる工程の諸項目を抽出し、原因究明を行うようにされる。

【0054】また、前工程に不良原因があると判断した場合は、前記図10のシステムにおいて、前記チップID



(7)

特開平7-335510

11

12

Dをキーとして、前工程の製造来歴情報をDBから検索して呼び出し、表示装置上に一覧表として表示させる。そして、呼び出された情報より不良発生工程および諸項目を抽出し、詳細解析を行い、不良原因および不良発生工程の特定をするようにされる。

【0055】また、不良原因を早期に見つける方法として、クレームのあったチップと同一品種および同一ロット／同一ウェハ内で良品チップがあるかを調べ、この良品チップの製造来歴情報とクレームのあったチップの製造来歴情報とを呼び出して、両者を比較することで相違点の抽出をし、不良原因の究明をすることもできる。

【0056】また、顧客からクレームのあったチップのウェハIDをキーに、当該チップと同一ウェハおよび同一ロット、更には、当該チップとはほぼ同一時期に製造した同一品種で別ロット内にあるチップについて、異常が発生する恐れがないかどうかを調べ、異常が発生する可能性があるチップについては、ID情報を手がかりに異常が発生する可能性があるチップが渡った顧客を検索し、異常が発生したこともしくは発生する可能性があることを、顧客に警告ないしは通知することができる。これにより、顧客に対する信用度を上げることができる。

【0057】上述したように、本実施例のシステムを用いることによって、前記したIDをキーとして、組立製造ライン、組立条件、組立時期、ウェハプロセス製造ライン、製造時期、製造ロット、製造ウェハ、製造ウェハ位置の情報を順次検索でき、この検索情報から、不良となった製品の製造来歴である処理工程、製造装置、製造条件、製造結果、検査結果を順次検索できる。また、この検索情報から、同一製造ロットの販売先を検索・特定して、不良発生状況を販売先に知らせることができる。

【0058】また、本実施例のシステムを用いることによって、製造途中の工程での検査において不良となった製品のIDをキーとして、検査工程の前に製造した工程の処理工程、製造装置、製造条件、製造結果、検査結果を検索できる。さらに、これと同時に、不良製品が処理された時と略同時に処理した別製品の製造装置、製造条件、製造結果、検査結果を合わせて検索できる。

【0059】

【発明の効果】以上のように本発明によれば、顧客のクレームに対して迅速に不良原因を報告できるので、顧客へのサービスが向上する。また、製造工程内で発生した不良に対しても、早期に原因を解析し対策できるので、歩留りを早期に向上できる。さらに、解析した結果はノウハウとして蓄積できるので、前の工程で製造した途中の検査データや製造データから、最終の歩留りを予測でき、生産量に合わせて製造量を制御できる。総じて、本発明によれば、生産効率の高い製造が可能となり、その産業的価値は多大である。

【図面の簡単な説明】

【図1】本発明の実施例で用いられる製品（半導体装

置）のID（識別子）のコード内容を示す説明図である。

【図2】ウェハ上に配列されたチップの位置座標（チップNOたるウェハ内チップ座標）を示す説明図である。

【図3】本発明の実施例で用いられる製品（半導体装置）の品種名記号とその内容との対応関係の1例を示す説明図である。

【図4】本発明の実施例で用いられるレーザマーキングによるIDの付与手法の1例を示す説明図である。

【図5】本発明の実施例によるウェハにおけるウェハIDの付与領域の例を示す説明図である。

【図6】本発明の実施例によるチップにおけるチップIDの付与領域の例を示す説明図である。

【図7】本発明の実施例による保護膜形成後のチップにおけるチップIDの付与領域の1例を示す説明図である。

【図8】本発明の実施例によるパッケージ化された製品におけるパッケージID（マーク）の付与領域の1例を示した図である。

【図9】本発明の実施例で用いられる、専用の記憶領域に電気的にID情報を書き込んだ製品から、ID情報を読み出して表示する構成の概要を示す説明図である。

【図10】本発明の実施例で用いられる製品IDの管理解析システムの構成を示す説明図である。

【図11】プローブ検査によるフェイルビットマップの1例を示す説明図である。

【図12】プローブ検査によるカテゴリマップの1例を示す説明図である。

【図13】図10のシステムの表示装置上に表示された、検査工程の一覧表の1例を示す説明図である。

【図14】図10のシステムの表示装置上に表示された、異物マップの1例を示す説明図である。

【図15】図10のシステムの表示装置上に表示された、異物の発生来歴グラフの1例を示す説明図である。

【図16】図10のシステムの表示装置上に表示された、異物検査データと外観検査データとを同一ウェハ上に併せて表示させたマップの1例を示す説明図である。

【符号の説明】

101 ウェハID

102 チップID

103 マーク（パッケージのID）

200 ウェハ

400 チップ

401 レーザビーム

402 ガラスマスク

403 イメージレンズ

501、502 ウェハにおけるID付与領域

601、602、603 チップにおけるID付与領域

701 保護膜

702 ボンディングパッド

(8)

特開平7-335510

13

14

800 製品

801 パッケージ（封止材）

901 ID情報の書き込み専用ピン

902 ID情報の読み出し専用ピン

904 表示装置

1001 製造条件データベース

1002 設備条件データベース

1003 検査規格値のデータベース

1004 製造仕様書の情報が入ったデータベース

1005 各工程で測定したデータが蓄積されているデータベース

1006 設計情報データベース

1007 各製造ラインの記号と実際のライン名の対応

をとるための情報が入ったデータベース

1008 各品種名と品種名を表す記号の対応をとるための

\*めの情報が入ったデータベース

1009 各ロットを示す記号と実際のロットNOの対応をとるための情報が入ったデータベース

1010 各ウェハを示す記号と実際のウェハNOの対応をとるための情報が入ったデータベース

1011 解析した結果を蓄積しておくノウハウデータベース

1012 ID管理システム

1100 フェイルビットマップ

1200 カテゴリマップ

1300 検査工程の一覧表

1400 異物マップ

1500 異物の来歴グラフ

1600 異物検査データと外観検査データとを同一ウェハ上に併せて表示させたマップ

【図1】

【図3】

図1

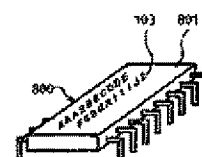
項目	項目	コード形式	コードの意味
101 ウェハID	品種名	アルファベット3文字	A A B B B C D 品種名 工程 NO 製造ライン名
	加工ロットNO	アルファベット3文字	
	ウェハNO	アルファベット1文字	
	加工ライン名	アルファベット1文字	
102 チップID	品種名	アルファベット3文字	A A B B B C D E 品種名 工程 NO 製造ライン名
	加工ロットNO	アルファベット3文字	
	ウェハNO	アルファベット1文字	
	チップNO	アルファベット2文字	
103 マップ	加工ライン名	アルファベット1文字	A A B B B C D D E F G G H I I J Z 品種名 工程 NO 製造ライン名 検査ライン名 異物検査ライン名 異物検査ウェハNO 異物検査ウェハNO
	品種名	アルファベット3文字	
	加工ロットNO	アルファベット3文字	
	ウェハNO	アルファベット1文字	
	チップNO	アルファベット2文字	
	加工ライン名	アルファベット1文字	
	検査ライン名	アルファベット1文字	
	異物検査ライン名	アルファベット1文字	
	異物検査ウェハNO	アルファベット1文字	
	異物検査ウェハNO	アルファベット1文字	

図3

記号	意味
AA	1MDRAM
BB	1MDRAM
CC	1MDRAM

【図8】

図8



【図4】

【図5】

図4

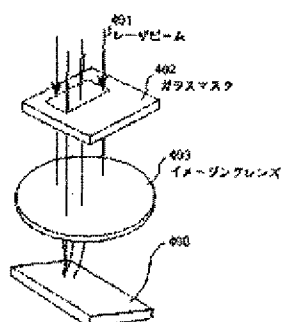
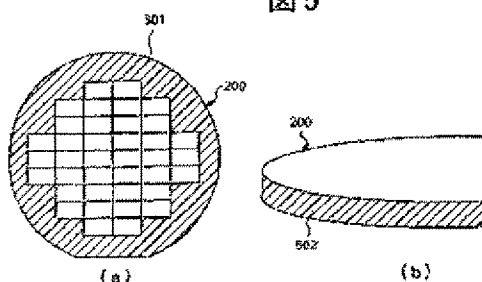


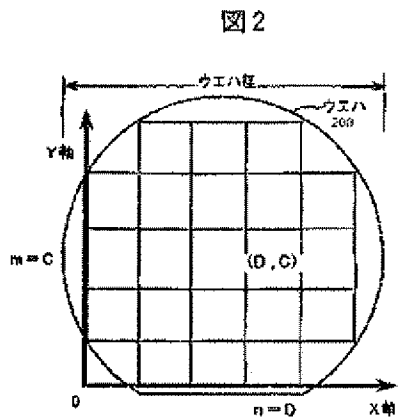
図5



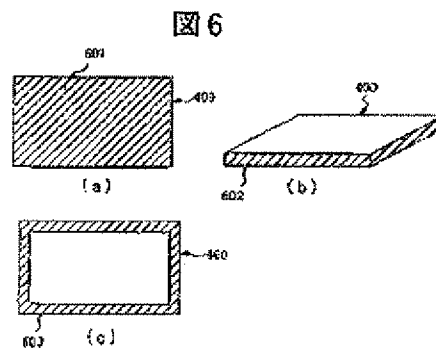
(9)

特開平7-335510

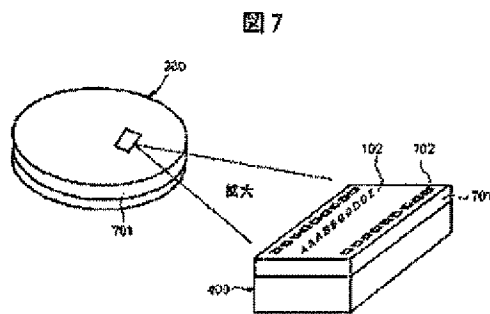
【図2】



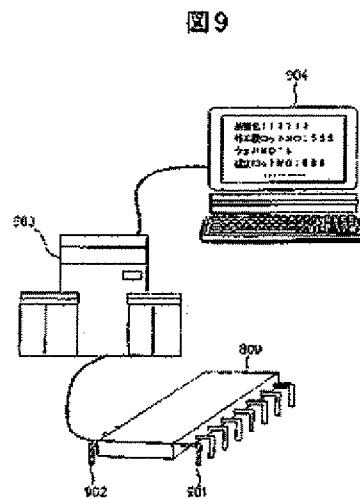
【図6】



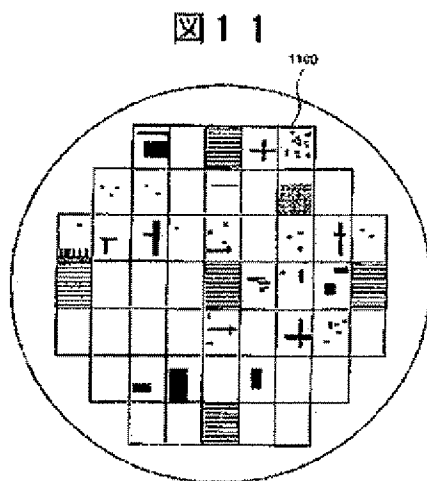
【図7】



【図9】



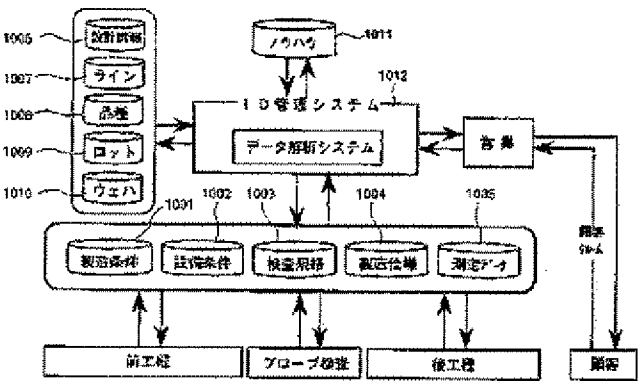
【図11】



(10) 特開平7-335510

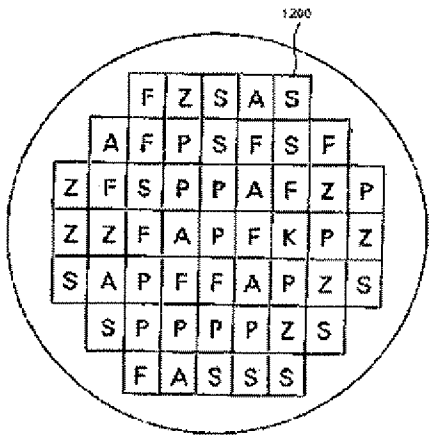
【図10】

図10



【図12】

図12

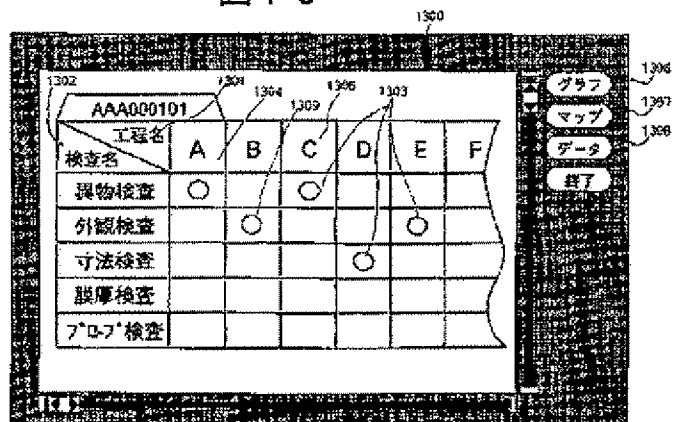


(11)

特開平7-335510

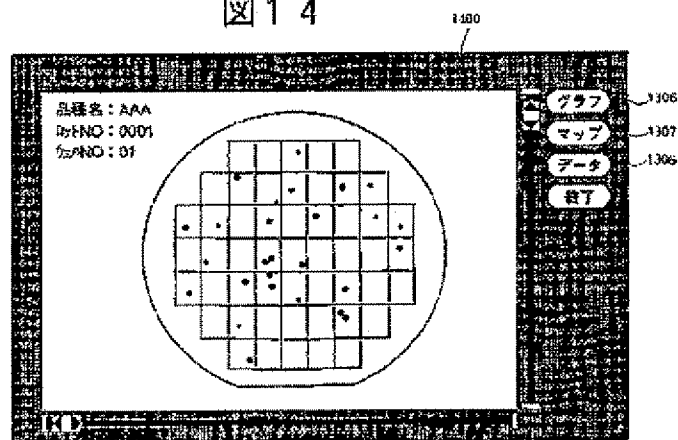
【図13】

図13



【図14】

図14

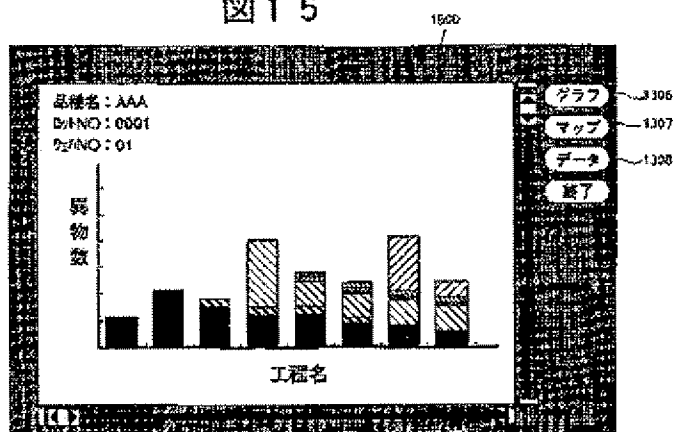


(12)

特開平7-335510

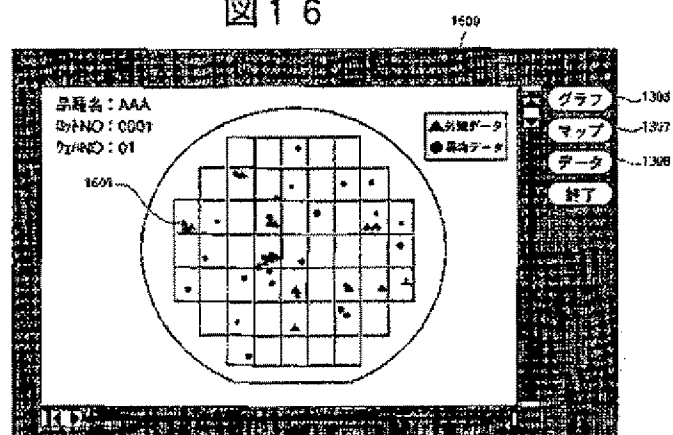
【図15】

図15



【図16】

図16



**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The semiconductor device characterized by giving an identifier including the information which shows the order of manufacture of a semiconductor device at least to the semiconductor device itself.

[Claim 2] The semiconductor device characterized by including manufacture calendar information and production-line name information in said identifier in the claim 1 publication.

[Claim 3] The semiconductor device characterized by including the information on the manufacture location of the semiconductor device in the manufacture process of a semiconductor device in said identifier in the claim 1 publication.

[Claim 4] The semiconductor device characterized by giving said identifier on the chip of a semiconductor device using the photo-etching method in a production process in the claim 1 publication.

[Claim 5] The semiconductor device characterized by giving said identifier using the photo-etching method in a production process on this protective coat after the last protective coat formation in the middle of the production process of a semiconductor device in the claim 1 publication.

[Claim 6] The semiconductor device characterized by giving the identifier in the manufacture process of a semiconductor device, and the identifier like the erector of a semiconductor device on the sealing agent after the assembly of a semiconductor device (package) in the claim 1 publication.

[Claim 7] It is the semiconductor device which the storage region inside a semiconductor device was made to memorize said identifier as identifier information in claim 1 publication, and was characterized by enabling it to read this identifier information with the special instruction which does not participate in the operating state of a semiconductor device.

[Claim 8] It is the identifier grant approach of the semiconductor device characterized by being the identifier grant approach which gives the identifier which shows that manufacturing information to a semiconductor device, forming said identifier by the photo-etching method on the protective coat after the last protective coat formation in the middle of the production process of a semiconductor device, and forming this identifier so that it may differ per semiconductor device.

[Claim 9] The identifier grant approach of the semiconductor device characterized by using the mask pattern formation equipment of liquid crystal for the mask of an aligner in the claim 8 publication.

[Claim 10] The identifier grant approach of the semiconductor device which is the identifier grant approach which gives the identifier which shows the manufacturing information to a semiconductor device, and was characterized by controlling light or electronic energy to the semiconductor device concerned, and giving said identifier to it before the assembly of the semiconductor device concerned after inspection of the electrical characteristics of a semiconductor device based on this inspection result.

[Claim 11] The identifier grant approach of the semiconductor device which is the identifier grant approach which gives the identifier which shows that manufacturing information to a semiconductor device, and was characterized by writing the identifier of the semiconductor device concerned in the

storage region only for identifiers in the semiconductor device concerned electrically at this inspection and coincidence at the time of the front [ shipment ] last electrical-and-electric-equipment characteristic inspection after the assembly of a semiconductor device.

[Claim 12] The data which read the information on said identifier with a read-only pin or a read-only instruction in the claim 11 publication, and were read are the identifier grant approach of the semiconductor device characterized by enabling the display to a display.

[Claim 13] The failure-analysis approach of the process which is the failure-analysis approach of a semiconductor device that the identifier which shows the manufacturing information was given, and caused nothing and a defect from the identifier of the semiconductor device which generated the defect so that the information on an assembly production line, an assembly condition, an assembly stage, a wafer process production line, a manufacture stage, the order of a production process, a manufacturing installation, a manufacture wafer, and a manufacture wafer location might be retrieved sequentially, a manufacturing installation, and the semiconductor device characterized by enabling it to specify manufacture conditions.

[Claim 14] It is the failure-analysis approach of a semiconductor device that the identifier which shows the manufacturing information was given. The assembly production line from the identifier of the semiconductor device which generated the defect, an assembly condition, An assembly stage, a wafer process production line, a manufacture stage, a manufacture lot, a manufacture wafer, The failure-analysis approach of the semiconductor device characterized by enabling it to retrieve sequentially down stream processing which is the manufacture history of the product which became a defect, a manufacturing installation, manufacture conditions, a manufacture result, and an inspection result from nothing and this retrieval information so that the information on a manufacture wafer location can be retrieved sequentially.

[Claim 15] It is the failure-analysis approach of a semiconductor device that the identifier which shows the manufacturing information was given. The assembly production line from the identifier of the semiconductor device which generated the defect, an assembly condition, The sale place of the same manufacture lot is searched and specified from nothing and this retrieval information so that the information on an assembly stage, a wafer process production line, a manufacture stage, a manufacture lot, a manufacture wafer, and a manufacture wafer location can be retrieved sequentially. The failure-analysis approach of the semiconductor device characterized by making it possible to tell a sale place about a defect generating situation.

[Claim 16] It is the failure-analysis approach of a semiconductor device that the identifier which shows the manufacturing information was given. While making as [ search / from the identifier of the product which became a defect in inspection at the process in the middle of manufacture / down stream processing of the process manufactured before this inspection process, a manufacturing installation, manufacture conditions, a manufacture result, and an inspection result ] The manufacturing installation of the special make article processed to the time of said defect product being processed, and abbreviation coincidence, The failure-analysis approach of the semiconductor device characterized by extracting that from which a means by which manufacture conditions, a manufacture result, and an inspection result can be doubled and searched is established, the retrieval result by said defect product and the retrieval result by said special make article are compared with, and a result differs on the same conditions.

[Claim 17] The object for retrieval which serves as said special make article in claim 16 publication is the failure-analysis approach of the semiconductor device characterized by considering as the product group manufactured in order of the same process as said defect product.

---

[Translation done.]



**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]****[0001]**

[Industrial Application] This invention relates to a semiconductor device, its identifier grant approach, and its failure-analysis approach, and relates to the grant approach to the semiconductor device which gave the manufacturing information as an identifier especially, and the semiconductor device of the above-mentioned identifier, and the failure-analysis approach of the semiconductor device using the above-mentioned identifier.

**[0002]**

[Description of the Prior Art] Manufacture of a semiconductor device is divided into the manufacture process usually called a wafer process and the manufacture process called assembly. A wafer process is processing of the disk of the outline round shape of the silicon called a wafer, present, for example, diameter, the size of 8 inches (about 200mm) is used, and the wafer is produced by the method which manufactures 100-300 semiconductor devices simultaneously on the disk whose number is one. The wafer which ended the wafer process is cut by the semiconductor device (chip), is set like an erector, and the conductor and chip for electric contact are closed with resin or a ceramic.

[0003] By the way, if manufacture history information is given to the semiconductor device manufactured by the above technique, it is expectable that it is dramatically useful to \*\*, such as quality control and a production control. Thus, as a conventional technique which gave manufacture history information to the semiconductor device, JP,5-74748,A (name; "a history information recording method and a semiconductor integrated circuit") is mentioned. He stamps history information on chip each which is produced by the large quantity in a wafer process by the laser beam, and is trying to record the location of the semiconductor chip on a wafer, a wafer number, and a lot number on it by this in the technique indicated by this prior official report.

**[0004]**

[Problem(s) to be Solved by the Invention] However, with the conventional technique by the above-mentioned prior official report, the history information on a chip is fully unutilizable. That is, by the grant method of the history by the above-mentioned conventional technique, although the location of the semiconductor chip on a wafer, the wafer number, and the lot number were given to the chip as information, since history information was recorded in the state of a semiconductor chip, when package-ized like an erector, the inconvenience that a record part could not be deciphered invited. Moreover, with the conventional technique by the prior official report, there are few classes of history information given and they are insufficient of amount of information on the occasion of failure analysis etc. Furthermore, although an another lot-to-lot wafer may be set and a lot may be made from the manufacture process of a semiconductor device, it was not taken into consideration about this point with the conventional technique by the above-mentioned prior official report, either.

[0005] the time of the object of this invention giving an identifier to a chip in the state of the chip of a semiconductor device, and being package-ized like an erector still more nearly similarly -- a sealing agent (package) -- an identifier -- giving -- with -- \*\*\*\*, while being able to read an identifier certainly

in every condition When pursuing the cause of a defect and the semiconductor device which gave the identifier which can serve as positive information, and a defect occur, it is in offering the failure-analysis approach that failure analysis can be carried out to quick and a detail using the given identifier.

[0006]

[Means for Solving the Problem] In this invention, it makes it possible to shorten defect generating with a manufacture method (a wafer process, cutting, assembly) peculiar to a semi-conductor, and the period of the cause investigation, and for this to aim at improvement in early of the yield, or to deal with the cure against a cause at an early stage to the defect report from a customer by enabling it to trace the manufacture history of a semiconductor device according to the identifier given to the semiconductor device. Hereafter, the outline of this invention is explained briefly.

[0007] In a wafer process, an identifier (ID) is given as a chip ID on a chip using the photo-etching method (photoetching) used abundantly in a wafer process. It connects with a lot number or a wafer number, and a before process line name, before process calender (date) information, etc. are recorded on this chip ID.

[0008] Like an erector, the package ID including the above-mentioned chip ID is electrically written in grant or the exclusive record section in a semiconductor device by printing etc. on the sealing agent after assembly (package). In this package ID, the unit and erector who process the identifier (chip ID information) in a wafer process and a production process until it assembles for a product also double the information on a lot number, the shipment unit of a product, the destination, etc., and it memorizes.

[0009] Moreover, it considers as the configuration which searches suitably the data (\*\*, such as changes of the manufactured lot, quality data of the manufactured lot, etc.) memorized to the system which manages changes from the charge at the time of manufacture to shipment by using the chip ID mentioned above or Package ID. [ inspection result / the manufacturing installation in each production process, manufacture conditions, ]

[0010]

[Function] \*\*\*\*\* using the data which according to the above-mentioned means can hold the manufacture history of a semiconductor device in the part managed in a detail rather than the management unit and management unit of each production process, and manufacture condition data etc. have on a system -- things are made.

[0011] That is, at the time of defect generating, the inspection information and manufacture history in a product gestalt (a lot, a wafer, a chip, product) at the time of defect generating can be specified as information from an identifier. Here, in the case of a semi-conductor, and since the manufacture history information on front another gestalt is included in the identifier in this invention, the manufacture condition at the time of front another gestalt can be specified, a cause can be analyzed at an early stage by this, and a cure can be drawn up. [ case / where it is made when a defect's cause is manufactured with front another gestalt ] Moreover, since management of the minimum unit can also be performed, it becomes possible from the analysis in the management unit of a production process to analyze in a detail more.

[0012]

[Example] Hereafter, the example illustrating the detail of this invention explains.

[0013] First, ID (identifier) of the product used in the example of this invention using drawing 1 is explained. Product ID codes information, such as manufacture history of a product. Management, quality control, etc. are performed whenever [ production-control and progress ] based on this code.

[0014] How to attach the above-mentioned product ID is explained. Product ID consists of a wafer ID 101, and a chip ID 102 and ID103 (this is hereafter called a mark 103) of a package in the example of this invention.

[0015] A wafer ID 101 consists of a form name, a before process lot NO, a wafer NO, and a before process line name. A chip ID 102 consists of a form name, the before process lot NO, a wafer NO, a chip NO (chip coordinate in a wafer), and a before process line name. A mark 103 consists of a form name, the before process lot NO, Wafer NO, Chip NO, a before process line name, an assembly line name, the assembly lot NO, a sorting line name, a sorting lot NO, a ship date (week), and a ship date

(day of the week). These code gestalten are as having been shown in drawing 1 .

[0016] A form name is expressed with the alphabet of two characters, and the capital letter A - small letter z of the alphabet express each digit. The before process lot NO is expressed with the alphabet of three characters, and one character of the start shows the moon which threw the wafer into the before process, and it expresses it by capital letter A-J of the alphabet. Moreover, the two remaining characters are expressed by each digit alphabet A-z. Wafer NO is expressed with the alphabet of one character (A-z). A before process line name is the identifier of the production line of the works which are performing wafer manufacture, and is expressed with the alphabet of one character (A-z).

[0017] As shown in drawing 2 , Chip NO turns the cage hula of a wafer 200 down, and takes the X-axis (axis of abscissa) and a Y-axis (axis of ordinate), for example, to Y shaft orientations, the chip of 3 chip eye is expressed from a zero by 4 chip eye to X shaft orientations, and expresses it with the alphabet of two characters (A-z) like (C, D).

[0018] Moreover, before describing an assembly line name above, it is expressed with the same rule as a process line name. The assembly lot NO expresses with the alphabet of three characters, and one character of the start shows the moon which threw in the chip like the erector, and it expresses it by A-J. Moreover, the two remaining characters are expressed by each digit alphabet A-z. A sorting line name is a line name of the grade division process based on an access rate and power consumption, and expresses a chip with the alphabet of one character. The sorting lot NO is expressed with the alphabet of three characters, and one character of the start shows the moon which threw the chip into the sorting process, and it expresses it by A-J. Moreover, the two remaining characters are expressed by each digit alphabet A-z. A ship date (week) is expressed with the alphabet of one character (A-z), and expresses one year with a week. For example, since February 20, 1993 is the 8th week of the year, it is expressed with H. Moreover, a ship date (day of the week) is expressed in the figure of one character (1-7). For example, if it is Wednesday, it will be expressed as 3.

[0019] With the above rule, the detail of each ID 101-103 is expressed. Arrangement of each item is shown in "the column of the semantics of a code" of drawing 1 . Moreover, each item is only expressed with the alphabet etc., the detail has a conversion table for every item, and the content is registered into the database. For example, in the case of a form name, it becomes a conversion table as shown in drawing 3 .

[0020] Next, an exclusive storage region is given in the approach of stamping on the front face of a wafer or a chip, using laser, an electron beam, etc. as a grant method of ID, the approach of printing on the front face of a package, and a chip (or product), and how to write in required information, such as ID, electrically in the field is explained.

[0021] It is effective if it carries out using the case of laser marking, for example, carbon dioxide gas, an YAG laser (yttrium aluminum garnet laser), etc. Moreover, marking of ID by laser etc. is stamped, scanning not using a mask, although it carries out using an alphabetic character mask or (the laser beam 401 is irradiated through the glass mask 402 and the image lens 403 in the example of a graphic display at the chip 400) is not illustrating, as shown in drawing 4 . The approach of the approach using a mask being suitable for the mass production product, scanning it, and stamping is effective to a multi-form little product. In addition, into a production process, if the mask formation equipment of liquid crystal is used for the mask of an aligner in case the photo-etching method in a production process is used and ID is stamped, the notation of ID which is different by chip each can be formed easily.

[0022] Moreover, when making ID information memorize electrically, exclusive memory, such as EEPROM (Electric Erasable Read Only Memory), is prepared in the periphery (part by which the chip is not minced) and each chip of a semi-conductor wafer, and information is made to memorize there. Since this approach makes exclusive memory memorize information, it can hold information required besides ID. For example, it is also possible after inspection of the electrical characteristics of each chip to write information in the storage region only for identifiers of a chip with ID information including this inspection result information etc. Or it is also possible to write the last electrical-and-electric-equipment characteristic inspection information etc. in the storage region only for identifiers of a product with ID information at this inspection and coincidence at the time of the front [ shipment ] last

electrical-and-electric-equipment characteristic inspection of the package-ized product.

[0023] In addition, when ID information is made to memorize electrically, it is made to be read by written-in ID information with a read-only pin or a read-only instruction (special instruction which does not participate in the operating state of a semiconductor device).

[0024] Next, the marking location of each ID and the timing to stamp are explained.

[0025] In the case of said wafer ID 101, as are shown in (a) of drawing 5, and shown in (b) of the circumference part (field which does not form the pattern around wafer surface) 501 of the part where the pattern of the front face of a wafer 200 is minced, or drawing 5, ID101 is minced into the side-face part 502 of a wafer 200 (it inscribes). As for the stage to mince ID, it is desirable to consider as timing just before throwing a lot into a before process line and performing the first processing in a wafer. The information when being processed as a wafer after that by putting in a wafer ID 101 at this stage is manageable by the sheet.

[0026] As shown in (a) of drawing 6, in the case of said chip ID 102, moreover, the rear face 601 of a chip 400 (near field where processing of membrane formation etc. is not carried out), As shown in (b) of drawing 6, or the side face 602 of a chip 400, Or as shown in (c) of drawing 6, a chip ID 102 is minced to the lateral part (field which does not form the circuit on the front face of a chip) 503 of the part with which the circumference circuit in the front face of a chip 400 is made and jammed (it inscribes). It is desirable to consider as the timing in front of probe inspection as a stage to mince a chip ID 102. It is because probe inspection measures a property electrically to all the chips in a wafer, so, as for the reason carried out like this, management of a chip unit is needed after this.

[0027] For example, a chip ID 102 stamps ID102 on each chip 400 using a liquid crystal mask etc. in the case of the last passivation. In this case, since a chip ID 102 is put in after attaching a protective coat 701 as shown in drawing 7, if it is fields other than bonding pad 702, even if the circuit pattern exists under a protective coat 701, the effect of what will not be received in a product property, either.

Therefore, if it makes as [ inscribe / in the case of the last passivation / a chip ID 102 ], since marking of a chip ID 102 is attained and the alphabetic character of a chip ID 102 can be greatly written in by this also in the surface field of chips 600 other than (c) of drawing 6, ID recognition can be performed easily.

[0028] Moreover, as shown in drawing 8, printing gives said mark 103 to the front face of the package (sealing agent) 801 of a product 800. The stage of printing of this mark 103 is suitably considered as an event, after the access rate and power consumption (power) of each product 800 sorted out the product 800. The well-known proper technique can adopt printing. In addition, grant of a mark 103 can also adopt the ID grant technique in which the laser beam etc. was used depending on the case besides printing.

[0029] Since the assembly lot NO, the sorting line name, and the sorting lot NO are contained in this mark 103 as described above, and it can be easily coped with even if it newly makes a lot ranging over a different lot-to-lot wafer, and it is collectively contained in the mark 103 by the information on a before process even if it is moreover products, such as the same sorting lot NO, in this case, on the occasion of failure analysis etc., it has certain and sufficient information.

[0030] Moreover, although it writes in the storage region of dedication when making ID information memorize electrically, since the input of the mark information after a package is enabled at this time, an exclusive pin is used for the test program of the circuit tester of the package-ized product, and if the program which writes in ID information (mark information) is added, the writing and test of ID information (mark information) can be performed simultaneously. Moreover, when reading the written-in information, as shown in drawing 9, the pin 901 only for writing and every one read-only pin 902 of ID information are prepared. And when referring to the content of ID information (mark information) written in electrically, from this read-only pin 902, information is called and the content is outputted to a display 904. The output at this time is read using the probe 903 grade of dedication, and is outputted to a display 904. In addition, of course, it is also possible to write said chip ID information in the storage region only for identifiers of each chip.

[0031] Next, the configuration of the management analysis system of the above mentioned product ID

used in the example of this invention is explained. Drawing 10 is the block diagram of the management analysis system of the product ID concerning the example of this invention.

[0032] This system shown in drawing 10 The manufacture condition database 1001 (it abbreviates to DB hereafter), The facility conditions DB1002, DB1003 of an inspection value of standard, and DB1004 containing the information on a manufacturing specification, DB1005 in which the data measured at each process are stored, and design information DB1006, DB1007 containing the information for taking the notation of each production line, and the response of a actual line name, DB1008 containing the information for taking a response of the notation showing each form name and a form name, DB1009 containing the information for taking a response of the notation which shows each lot, and the actual lot NO, DB1010 containing the information for taking a response of the notation which shows each wafer, and the actual wafer NO, the know how DB1011 which accumulates the analyzed result, and each information and ID are consisted of an ID managerial system 1012 which performs matching and various kinds of analyses. As shown in drawing 10 , each other exchange is possible for various information.

[0033] In this invention, the following activities are attained by using aforementioned ID.

[0034] First, how to perform investigation of a defect generating process and the cause of a defect is explained from the result of probe inspection.

[0035] When abnormalities -- the yield in probe inspection falls rapidly -- occur, it checks what kind of defect has occurred by probe inspection of the wafer which abnormalities generated first.

[0036] In probe inspection, let the fail bit map 1100 in which the result of having checked the actuation of memory cell each in a memory chip as shown in drawing 11 is shown, and the category map 1200 in which the result of having investigated the electrical property of a chip as shown in drawing 12 is shown be inspection result data. And using both this map, the content of a defect and a defect generating location are checked, and the cause of a defect is presumed.

[0037] For example, with a fail bit map 1100, when it is presumed that a foreign matter and an appearance reason are poor, in the system of said drawing 10 , said wafer ID was used as the key, and each inspection was conducted at which process, or an operator searches DB (database) of dust-particle-inspection data and each visual-inspection data, and calls desired data on the display of a system.

[0038] Then, the chart 1300 of an inspection process as shown in drawing 13 is displayed on a display. In this drawing, an axis of abscissa is the process name 1301, and an axis of ordinate is the inspection name 1302. The process to which the O mark 1303 is attached in the chart 1300 means having inspected the inspection name column. For example, dust particle inspection is conducted by "A process" 1304, "C process" 1305, and ...

[0039] And desired data will be displayed, if an operator does the pick of the column to which O mark sticks with the mouse etc. and chooses which carbon button of "graph" 1306, "map" 1307, and "data" 1308 on a screen.

[0040] For example, the pick of the column 1304 of "A process" of a foreign matter is carried out, and if the carbon button displayed as "map" 1307 is chosen, the foreign matter map 1400 as shown in drawing 14 will be displayed. On this foreign matter map 1400, an operator can check the generating situation of a foreign matter.

[0041] Moreover, if all the processes that conducted dust particle inspection with the chart 1300 of drawing 13 are chosen and it carries out the pick of the carbon button of "graph" 1306 in analyzing statistically in what stroke the foreign matter was generated, the generating history graph 1500 of a foreign matter as shown in drawing 15 will be displayed. From the generating history graph 1500 of this foreign matter, it can grasp immediately what kind of how many foreign matters were generated at what process. And when checking the location of the generated foreign matter after this, what is necessary will be just to analyze using the foreign matter map 1400 of drawing 14 .

[0042] Moreover, the generating location of different data can be easily compared now by making the multiple selection of the data of a different inspection, and indicating by the map with the chart 1300 of drawing 13 .

[0043] For example, if the column 1304 of "A process" of dust particle inspection and the column 1309

of "B process" of visual inspection are chosen and the pick of the carbon button of "map" 1306 is carried out, the map 1600 which displayed dust-particle-inspection data and visual-inspection data as shown in drawing 16 collectively on the same wafer will be outputted. When the data of an appearance (a poor appearance) lap with a foreign matter like [ in / 1601 / a map 1600 (for example, a chip field) ] and it is displayed at this time, presumption of the cause of a defect and narrowing [ of a defect generating process ] down the poor appearance of that location are having generated at the process before "A process", since the foreign matter's adhered to homotopic possible easily.

[0044] Next, the cause investigation approach when abnormalities occur like an erector is explained.

[0045] For example, according to the aging process, i.e., the process which performs a heat deterioration trial, when a defect occurs, the greater part of the defect has a cause, and it is considered by the before process. There are the following approaches as the cause investigation approach of the chip made by carrying out the dicing of the wafer.

[0046] First, in the system of said drawing 10, an operator searches DB (database) by using Chip ID as a key, and calls as a chart the manufacture history information on a wafer that the chip concerned is included, on the display of a system. And an operator compares the manufacture history of the chip which became the manufacture history of the chip which became an excellent article at the aging process, and a defect, extracts a point of difference, and is made to have cause investigation performed based on the displayed chart.

[0047] Moreover, the analysis result performed above is accumulated in said know how DB1011 as know how. The prediction of the aging percent defective like an erector henceforth of is attained using this know how at the event of a before process. Therefore, since it becomes controllable [ the input of an after process ], a cutback and efficient production of a surplus article can be performed.

[0048] Moreover, at the sorting process, an access rate and power consumption are performing the grade division of a chip. There are the following approaches as an approach for producing efficiently the product of grade which a customer orders.

[0049] First, the manufacture history information on a high grade article and a low grade article is called from DB by using said chip ID as a key, and it is made to display on the display of a system as a chart in the system of said drawing 10. And based on this displayed chart, an extract and analysis of a point of difference are performed, and rationalization of the item used as a cause is attained.

[0050] Since the result manufactured according to a condition and its condition to the same table [ like / manufacture conditions, facility conditions, and a measurement result ] combines and is displayed as manufacture history information on the display of a system by Mr. \*\*. In a prototype stage or a mass production starting stage, since the result can be immediately checked when some conditions are set up and manufactured, it becomes possible to shorten substantially the period (time amount) which determines the value of a monograph affair.

[0051] Moreover, it is in the middle of manufacture, and since the cause of a defect can be immediately extracted by checking the chart of manufacture history when a defect occurs, for example, when the cause which was generated at the after process and which was poor and caused the defect suits a before process, large compaction of analysis time amount can be aimed at.

[0052] Next, when a defect occurs for the product over a customer, how to cope with a customer claim is explained.

[0053] first, the products and the contents of a claim which became a defect from the customer be collect, and a hand retrieve process manufacture history information from DB, call said mark indicated on the package of a product, and make a loan display it as a chart on a display after the chip concerned in the system of said drawing 10. And after calling, many items of the process considered to be the cause of a defect are extracted, and cause investigation is made to be performed from the manufacture history information on a process.

[0054] Moreover, when it is judged that the cause of a defect is in a before process, the manufacture history information on a before process is retrieved and called from DB by using said chip ID as a key, and it is made to display as a chart on a display in the system of said drawing 10. And a defect generating process and many items are extracted, a detailed analysis is performed, and it is made to

carry out specification of the cause of a defect, and a defect generating process from the called information.

[0055] Moreover, it can investigate whether there is any excellent article chip within the form same as an approach of finding the cause of a defect at an early stage as a chip with a claim, and the same lot / the same wafer, the manufacture history information on this excellent article chip and the manufacture history information on a chip with a claim can be called, a point of difference can be extracted by comparing both, and the cause of a defect can also be studied.

[0056] moreover, the wafer ID of the chip which had the claim from the customer -- a key -- the same wafer as the chip concerned, and the same lot -- further About the chip which may investigate whether there is any possibility that abnormalities may occur and abnormalities may generate about the chip concerned and the chip which is in another lot by the same form manufactured mostly at the same stage A hand can search the customer by whom the chip which abnormalities may generate crossed ID information to the loan, and can warn of it or notify a customer of that abnormalities occurred or it generating. Thereby, the credibility to a customer can be raised.

[0057] As mentioned above, by using the system of this example, the information on an assembly production line, an assembly condition, an assembly stage, a wafer process production line, a manufacture stage, a manufacture lot, a manufacture wafer, and a manufacture wafer location can be sequentially retrieved by the ability using above mentioned ID as a key, and down stream processing which is the manufacture history of the product which became a defect, a manufacturing installation, manufacture conditions, a manufacture result, and an inspection result can be sequentially retrieved from this retrieval information. Moreover, from this retrieval information, the sale place of the same manufacture lot can be searched and specified, and a sale place can be told about a defect generating situation.

[0058] Moreover, down stream processing of the process manufactured before the inspection process, a manufacturing installation, manufacture conditions, a manufacture result, and an inspection result can be searched by using the system of this example by using as a key ID of the product which became a defect in inspection at the process in the middle of manufacture. Furthermore, the manufacturing installation of the special make article processed to the time of being able to come, simultaneously a defect product being processed and abbreviation coincidence, manufacture conditions, a manufacture result, and an inspection result can be doubled and searched.

[0059]

[Effect of the Invention] Since the cause of a defect can be promptly reported to a customer's claim as mentioned above according to this invention, service to a customer improves. Moreover, since a cause is analyzed and can be coped with at an early stage also to the defect generated within the production process, the yield can be improved at an early stage. Furthermore, since the analyzed result can be accumulated as know how, from inspection data and manufacture data in the middle of having manufactured at the front process, the last yield can be predicted and the amount of manufactures can be controlled according to a volume. Generally, according to this invention, high manufacture of productive efficiency is attained and the industrial value is great.

---

[Translation done.]



**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

[Drawing 1] It is the explanatory view showing the content of a code of ID (identifier) of the product (semiconductor device) used in the example of this invention.

[Drawing 2] It is the explanatory view showing the position coordinate (chip coordinate in a chip NO slack wafer) of the chip arranged on the wafer.

[Drawing 3] It is the explanatory view showing one response-related example of the form name notation and the content of the product (semiconductor device) used in the example of this invention.

[Drawing 4] It is the explanatory view showing one example of the grant technique of ID by laser marking used in the example of this invention.

[Drawing 5] It is the explanatory view showing the example of the grant field of the wafer ID in the wafer by the example of this invention.

[Drawing 6] It is the explanatory view showing the example of the grant field of the chip ID in the chip by the example of this invention.

[Drawing 7] It is the explanatory view showing one example of the grant field of the chip ID in the chip after the protective coat formation by the example of this invention.

[Drawing 8] It is drawing having shown one example of the grant field of the package ID in the package-ized product by the example of this invention (mark).

[Drawing 9] It is the explanatory view which is used in the example of this invention and in which showing the outline of a configuration of reading and displaying ID information on the storage region of dedication from the product which wrote in ID information electrically.

[Drawing 10] It is the explanatory view showing the configuration of the management analysis system of the product ID used in the example of this invention.

[Drawing 11] It is the explanatory view showing one example of the fail bit map by probe inspection.

[Drawing 12] It is the explanatory view showing one example of the category map by probe inspection.

[Drawing 13] It is the explanatory view which was displayed on the display of the system of drawing 10 and in which showing one example of the chart of an inspection process.

[Drawing 14] It is the explanatory view which was displayed on the display of the system of drawing 10 and in which showing one example of a foreign matter map.

[Drawing 15] It is the explanatory view which was displayed on the display of the system of drawing 10 and in which showing one example of the generating history graph of a foreign matter.

[Drawing 16] It is the explanatory view showing one example of a map which displayed collectively the dust-particle-inspection data and visual-inspection data which were displayed on the indicating equipment of the system of drawing 10 on the same wafer.

**[Description of Notations]**

101 Wafer ID

102 Chip ID

103 Mark (ID of Package)

200 Wafer



400 Chip  
401 Laser Beam  
402 Glass Mask  
403 Image Lens  
501 502 ID grant field in a wafer  
601, 602, 603 ID grant field in a chip  
701 Protective Coat  
702 Bonding Pad  
800 Product  
801 Package (Sealing Agent)  
901 Pin Only for Writing of ID Information  
902 Read-only Pin of ID Information  
904 Display  
1001 Manufacture Condition Database  
1002 Facility Condition Database  
1003 Database of Inspection Value of Standard  
1004 Database Containing Information on Manufacturing Specification  
1005 Database with which Data Measured at Each Process are Stored  
1006 Design-Information Database  
1007 Database Containing Information for Taking Notation of Each Production Line, and Response of Actual Line Name  
1008 Database Containing Information for Taking Response of Notation Showing Each Form Name and Form Name  
1009 Database Containing Information for Taking Response of Notation Which Shows Each Lot, and Actual Lot NO  
1010 Database Containing Information for Taking Response of Notation Which Shows Each Wafer, and Actual Wafer NO  
1011 Know How Database Which Accumulates Analyzed Result  
1012 ID Managerial System  
1100 Fail Bit Map  
1200 Category Map  
1300 Chart of Inspection Process  
1400 Foreign Matter Map  
1500 History Graph of Foreign Matter  
1600 Map Which Displayed Dust-Particle-Inspection Data and Visual-Inspection Data Collectively on the Same Wafer

---

[Translation done.]

## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

[Drawing 1]

図 1

種類	項目	コード形態	コードの意味
101 ウェハID	品種名	アルファベット2文字	A A B B B C D
	前工程ロットNO	アルファベット3文字	品種名 前工程ロットNO 前工程ライン名
	ウェハNO	アルファベット1文字	ウェハNO
	前工程ライン名	アルファベット1文字	
102 チップID	品種名	アルファベット2文字	A A B B B C D D E
	前工程ロットNO	アルファベット3文字	品種名 前工程ロットNO 前工程ライン名
	ウェハNO	アルファベット1文字	ウェハNO
	チップNO	アルファベット2文字	
103 マージ	品種名	アルファベット2文字	A A B B B C D D E F G G H I I J 2
	前工程ロットNO	アルファベット3文字	品種名 前工程ロットNO 組立ロットNO 選別ロットNO 出荷日(曜日)
	ウェハNO	アルファベット1文字	ウェハNO
	チップNO	アルファベット2文字	チップNO
	前工程ライン名	アルファベット1文字	前工程ライン名
	組立ライン名	アルファベット1文字	組立ライン名
	組立ロットNO	アルファベット3文字	組立ロットNO
	選別ライン名	アルファベット1文字	選別ライン名
	選別ロットNO	アルファベット3文字	選別ロットNO
	出荷日(連)	アルファベット1文字	出荷日(連)
	出荷日(曜日)	数字1文字	出荷日(曜日)

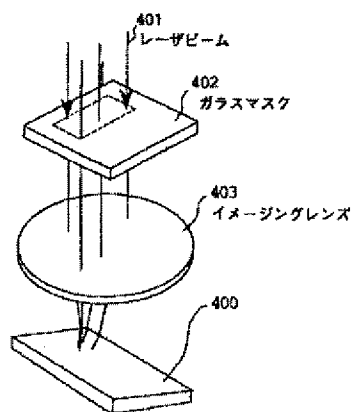
[Drawing 3]

図 3

記号	詳細内容
AA	1MDRAM
BB	4MDRAM
CC	16MDRAM

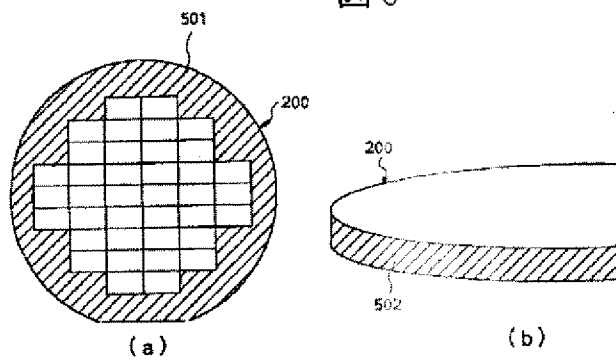
[Drawing 4]

図 4



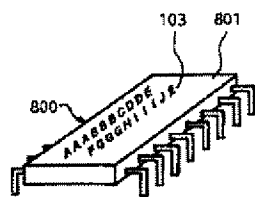
[Drawing 5]

図 5



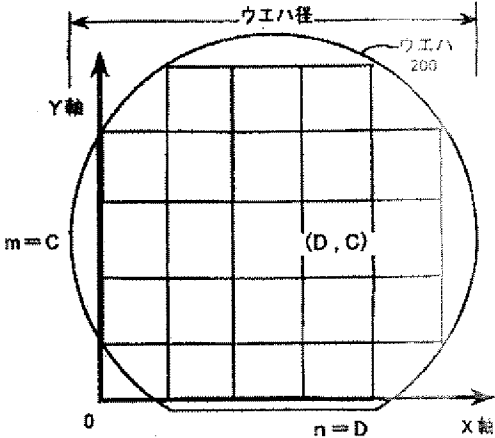
[Drawing 8]

図 8



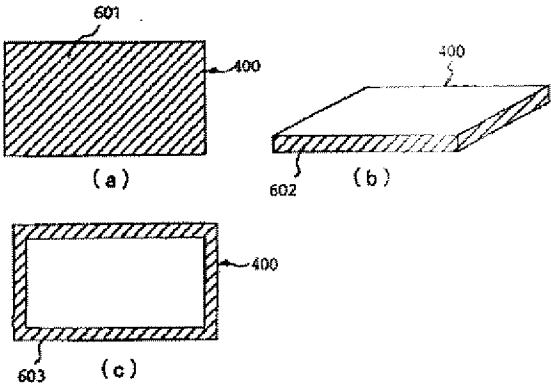
[Drawing 2]

図 2



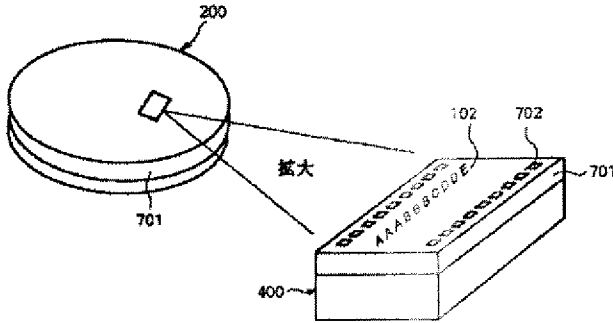
[Drawing 6]

図 6



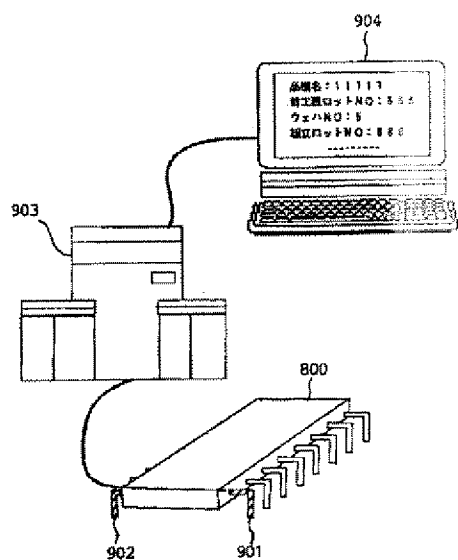
[Drawing 7]

図 7



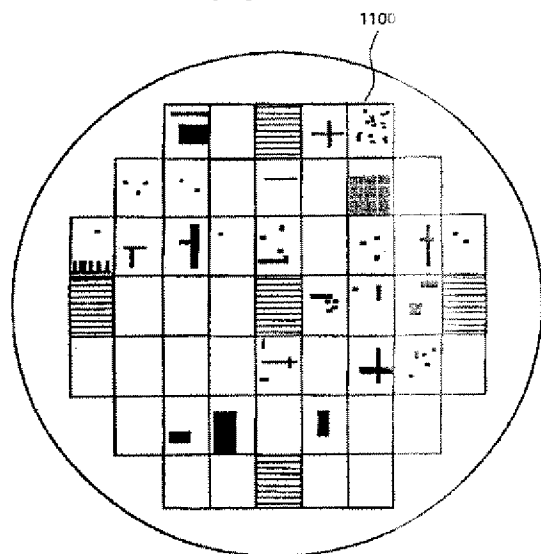
[Drawing 9]

図 9



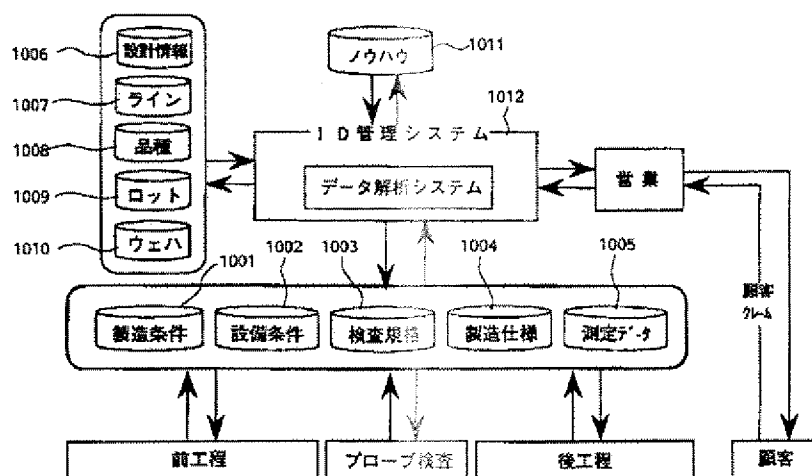
[Drawing 11]

図 1 1



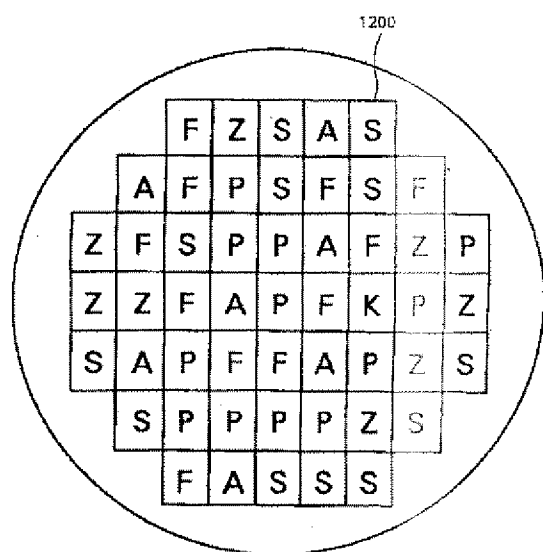
[Drawing 10]

図 10



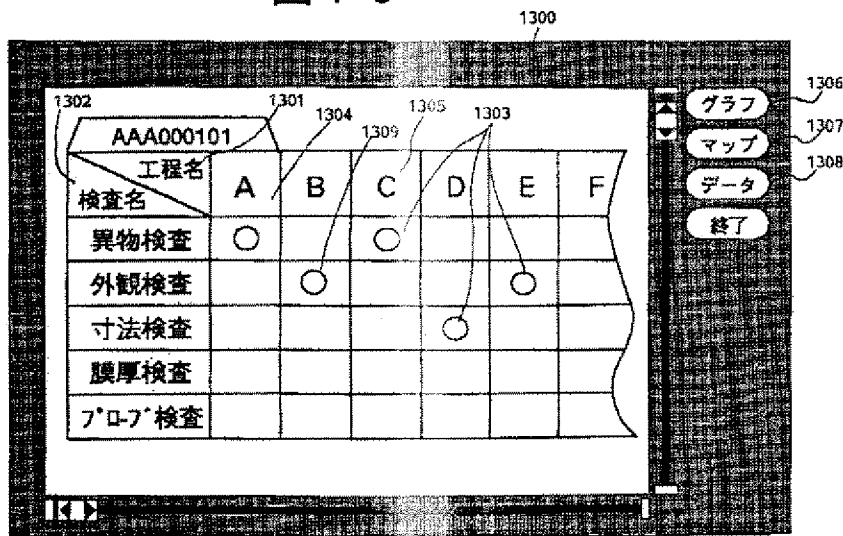
[Drawing 12]

図 12



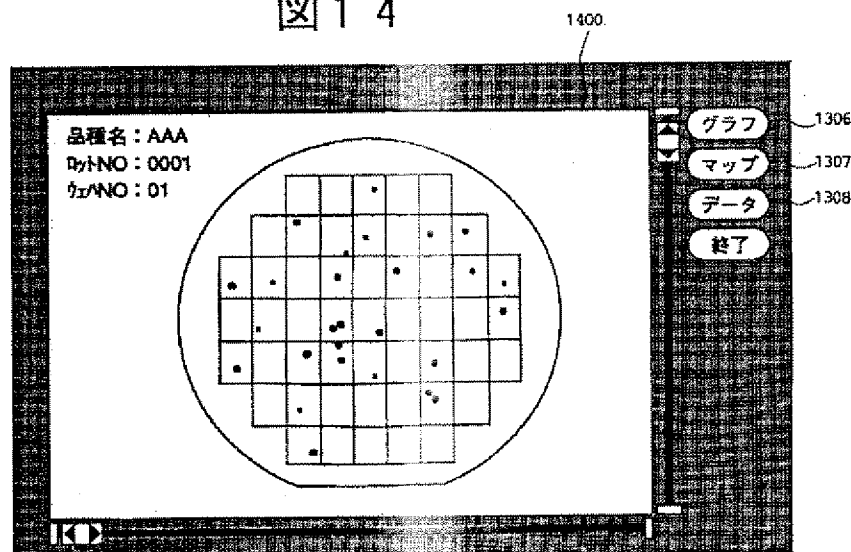
[Drawing 13]

図 1 3



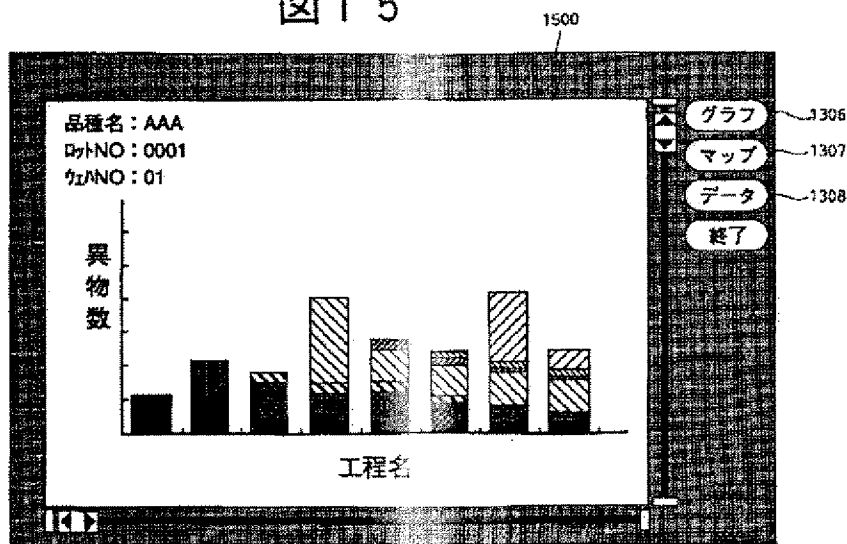
[Drawing 14]

図 1 4



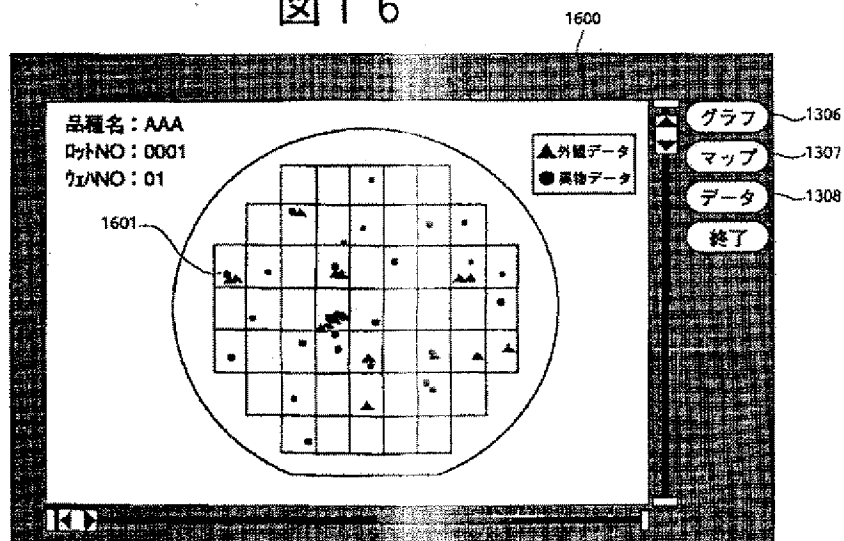
[Drawing 15]

図 1 5



[Drawing 16]

図 1 6



[Translation done.]